

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 11121507  
PUBLICATION DATE : 30-04-99

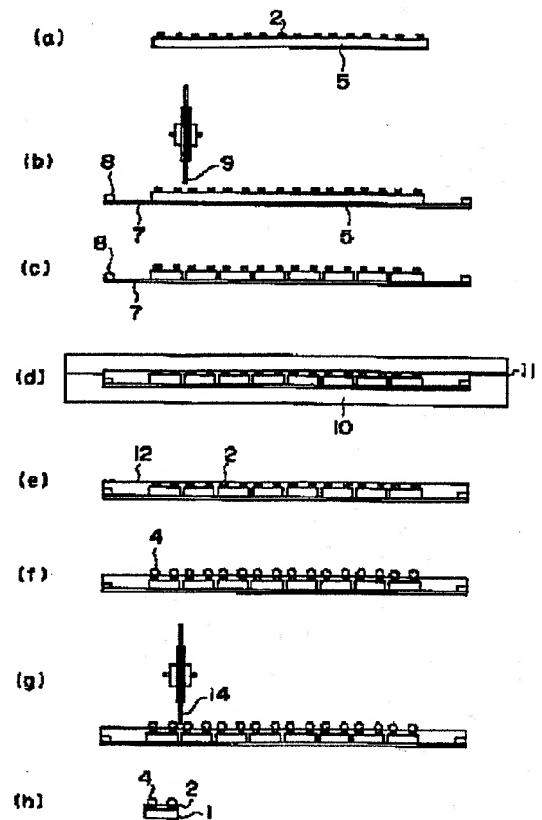
APPLICATION DATE : 08-10-97  
APPLICATION NUMBER : 09275964

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : TAKAHASHI YOSHIKAZU;

INT.CL. : H01L 21/60 // H01L 21/60

TITLE : SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE



**ABSTRACT :** PROBLEM TO BE SOLVED: To facilitate the formation of high reliable chip size packages by covering the surfaces and sides of a semiconductor element which has bump electrodes on the surface thereof.

**SOLUTION:** Bump electrodes 2 are formed on a wafer 5 formed of a circuit element. Next, the backside of the wafer 5 is pasted on a scribe ring 8 using a scribe sheet 7, so as to divide the wafer 5 into pieces. Next, the wafer 5 divided into pieces held by the scribe sheet 7 is contained in a mold metallic die 10 to be pressed for making surface levels of the gold bumps 2 uniform. Next, when a resin 12 is poured from a gate 11, the resin 12 is formed in a state with the surface of the bump electrodes 2 exposed. Later, solder balls 4 are mounted on the surface of the bump electrodes 2 so as to divide the wafer 5 with the resin 12 poured into gaps again into individual chips. Through these procedures, the chip size packages with the side of an LSI chip 1 also covered with the resin 12 can be formed easily.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121507

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

// H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

21/92

3 1 1 Q

6 0 2 L

6 0 4 A

審査請求 未請求 請求項の数14 O L (全 6 頁)

(21) 出願番号

特願平9-275964

(22) 出願日

平成9年(1997)10月8日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 高橋 義和

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

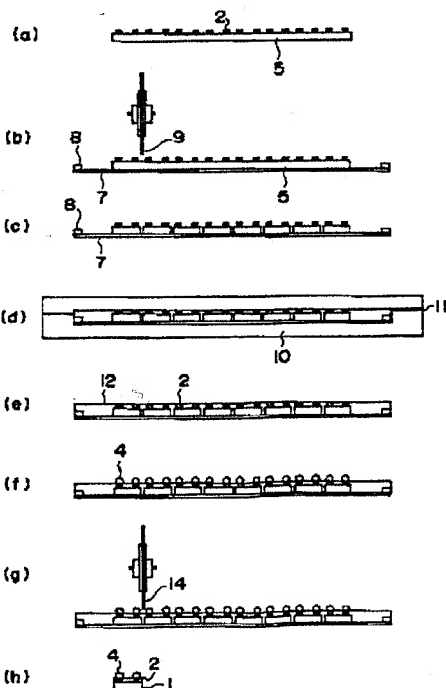
(74) 代理人 弁理士 大西 健治

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体チップとほぼ同じ大きさのパッケージを効率よく製造する製造方法を提供する。

【解決手段】 ウエハ5をダイヤモンドブレード9を用いて個片に分割した後に、その隙間を含めたウエハ表面全体を樹脂12で封止し、ダイヤモンドブレード9よりも幅の狭いダイヤモンドブレード14を用いて再度個片に分割することにより、チップ1側面に樹脂を残した状態のチップサイズパッケージを得る。



## 【特許請求の範囲】

【請求項1】 表面に突起電極を有する半導体素子と、この半導体素子表面および側面を覆う封止樹脂と、前記封止樹脂から露出する前記突起電極と接続するボール電極と、を備えたことを特徴とする半導体装置。

【請求項2】 前記突起電極表面が前記封止樹脂と略同一平面に形成されることを特徴とする請求項1項記載の半導体装置。

【請求項3】 請求項1項記載の半導体装置において、さらに半導体素子裏面が前記樹脂にて覆われていることを特徴とする半導体装置。

【請求項4】 表面に複数の素子領域を備えたウエハの前記複数の素子領域に突起電極を形成する工程と、前記ウエハ表面に前記複数の素子領域の境界を示す凹部を備えた封止樹脂を前記突起電極の表面を露出させて形成する工程と、前記封止樹脂から露出した突起電極上にボール電極を形成する工程と、前記凹部を基準として前記複数の素子領域を個々の素子に分割する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4項記載の半導体装置の製造方法において、前記突起電極を形成した後に、前記突起電極表面の高さを揃えることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4項記載の半導体装置の製造方法において、前記凹部を備えた封止樹脂を形成する工程は、この凹部に対応する凸部を有する金型によりおこなうことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6項記載の半導体装置の製造方法において、前記金型により樹脂封止する前に、この金型により前記突起電極表面の高さを揃えることを特徴とする半導体装置の製造方法。

【請求項8】 請求項4項記載の半導体装置の製造方法において、前記突起電極はメッキにより形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項4項記載の半導体装置の製造方法において、前記凹部は前記複数の素子の分割される領域に沿って形成した溝であることを特徴とする半導体装置の製造方法。

【請求項10】 表面に複数の素子領域を備えたウエハの前記複数の素子領域に突起電極を形成する工程と、前記突起電極の表面を含む前記ウエハ表面に前記ウエハ表面近傍まで到達する前記複数の素子領域の境界を示す凹部を備えた封止樹脂を形成する工程と、前記突起電極の表面が露出するまで前記封止樹脂を研磨する工程と、前記封止樹脂から露出した突起電極上にボール電極を形成する工程と、

前記凹部を基準として前記複数の素子領域を個々の素子に分割する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項11】 表面に複数の素子領域を備えたウエハの前記複数の素子領域に突起電極を形成する工程と、前記ウエハをスクライプシートに張り付けた後、前記複数の素子領域を個々に分割する工程と、前記分割された素子間の間隙を含む前記ウエハ表面に前記突起電極を露出させた状態で封止樹脂を形成する工程と、前記封止樹脂から露出した突起電極上にボール電極を形成する工程と、前記素子間の間隙に形成された封止樹脂の前記素子側面の樹脂を残した状態で前記素子を個々に分割する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項12】 前記素子を個々に分割する工程は比較的幅の広い第1のダイヤモンドブレードにより行い、前記素子側面の樹脂を残した状態で前記素子を個々に分割する工程は比較的幅の狭い第2のダイヤモンドブレードにより行うことを特徴とする請求項11項記載の半導体装置の製造方法。

【請求項13】 前記第1のダイヤモンドブレードの幅は前記第2のダイヤモンドブレードの幅の略2倍であることを特徴とする請求項12項記載の半導体装置の製造方法。

【請求項14】 表面に複数の素子領域を備えたウエハの前記複数の素子領域に突起電極を形成する工程と、前記ウエハをスクライプシートに張り付けた後、前記複数の素子領域を個々に分割する工程と、前記スクライプシートを引き延ばし、前記分割された素子間を広げる工程と、前記引き伸ばされた素子間の間隙を含む前記ウエハ表面に前記突起電極を露出させた状態で封止樹脂を形成する工程と、前記封止樹脂から露出した突起電極上にボール電極を形成する工程と、前記素子間の間隙に形成された封止樹脂の前記素子側面の樹脂を残した状態で前記素子を個々に分割する工程と、を備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は樹脂封止された半導体素子、特にLSIチップと略同じサイズのチップサイズパッケージに関するものである。

【0002】

【従来の技術】従来このような分野の技術としては、半導体素子上にリードを形成し、このリードの一部にバンパを形成し、半導体素子の裏面を露出させた状態で樹脂

封止するものがあつた。このような技術は特開平8-306853号公報に開示されている。

【0003】

【発明が解決しようとする課題】しかしながら、上記した半導体素子の製造方法では、個々のチップに分割してから個々のパッケージを作成しているため、その作成に工程数がおおくなり、製造が煩雑になる。

【0004】本発明は、チップサイズパッケージを容易に作成できる製造方法を提供すると共に、その製造方法に適した形状の半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明では、半導体装置において、表面に突起電極を有する半導体素子と、この半導体素子表面および側面を覆う封止樹脂と、封止樹脂から露出する突起電極と接続するボール電極とを備えたものである。

【0006】また、半導体装置の製造方法において、表面に複数の素子領域を備えたウエハの複数の素子領域に突起電極を形成する工程と、ウエハ表面に前記複数の素子領域の境界を示す凹部を備えた封止樹脂を突起電極の表面を露出させて形成する工程と、封止樹脂から露出した突起電極上にボール電極を形成する工程と、凹部を基準として前記複数の素子領域を個々の素子に分割する工程とを備えたものである。

【0007】

【発明の実施の形態】以下、本発明の実施例について図面を参照しながら説明する。図1は本発明の第1実施形態を説明する断面図であり、1はLSIチップ、2は1辺が約50～100 $\mu\text{m}$ 、高さ約15 $\mu\text{m}$ の金めっき等で形成されたバンパ電極、3はLSIチップ表面保護のためのエポキシ樹脂であり、LSIチップ1の表面と側面を覆っている。また、エポキシ樹脂3の表面はバンパ電極2の表面と同じ高さになっている。4は外部基板と接続するためのハンダボールであり、直径約300～500 $\mu\text{m}$ 程度の球状である。

【0008】次にこのような半導体素子の製造方法の第1の実施形態を図2(a)～(h)を参照しながら説明する。

【0009】まず、図2(a)に示すように、回路素子の形成されたウエハ5上の図示しないアルミ電極上にバンパ電極2を金めっき等で形成する。バンパ電極2の大きさは1辺が約50～100 $\mu\text{m}$ 、高さ約15 $\mu\text{m}$ とする。

【0010】次に、図2(b)に示すように、ウエハ5の裏面をスクライプシート7を用いてスクライプリング8に張り付け、ダイヤモンドブレード9等で図2(c)に示すように個片に分割する。ここで、ダイヤモンドブレード9の幅は、およそ60 $\mu\text{m}$ 程度のものを用いる。

【0011】次に、図2(d)に示すように、スクライ

ブシート7に支持されている個片に分割済のウエハ5をスクライプリング8、スクライプシート7と共にモールド金型10に入れる。上下の金型で挟んだ際に上金型を1バンパ当たり50gf程度の圧力で押さえ、金型温度は約180℃でプレスすることにより、金バンパ2の表面高さを揃える。その後、ゲート11より樹脂12を注入する。図2(e)は図2(d)において樹脂を注入後、金型10をはずした状態を示している。この図に示されるように、バンパ電極2の上面が露出した状態で樹脂12が形成されている。

【0012】その後、図2(f)に示すように、バンパ電極2の上面にハンダボール4を搭載する。ハンダボール4の搭載方法としては、バンパ電極2上にフラックスを塗布し、その上にハンダボール4を載せ、その後200～250℃の熱を加え、ハンダボール4とバンパ電極を接合させることにより搭載することができる。ハンダボール4を搭載後、図2(g)に示されるように、分割された隙間に樹脂が注入されているウエハをダイヤモンドブレード14等で個々のチップに再度分割すること、図2(h)に示すように、LSIチップ1の側面も樹脂で覆われたチップサイズパッケージを得ることができる。ここで、ダイヤモンドブレード14の幅はおよそ40 $\mu\text{m}$ 程度であり、ダイヤモンドブレード9の幅よりも細いものを用いているため、容易にLSIチップ1の側面に樹脂を残した状態で個々のチップに分割することができる。

【0013】また、図2(b)において、ダイヤモンドブレード9の幅を、図2(g)に示すダイヤモンドブレード14の幅の2倍程度とすれば、図2(h)におけるLSIチップ1側面の樹脂の厚さを十分確保することができる。側面の樹脂のはがれに対してより高い強度を得ることができる。

【0014】次に本願発明の製造方法の第2の実施形態について図3(a)～(h)を用いて説明する。図2と対応する箇所には同一の符号を付し、その詳細な説明を省略する。

【0015】第2の実施形態では、まず、回路素子の形成されたウエハ5上の図示しないアルミ電極上にバンパ電極2を金めっき等で形成する。

【0016】次に、図3(b)に示すようにダイヤモンドブレード14を用いてウエハを個片に分割する。ここで用いるダイヤモンドブレード14は、第1の実施形態の図2(g)に示す幅の細いものを用いる。

【0017】次に、図3(c)に示すようにスクライプシート7を引き伸ばし、個片に分割されたウエハ間を広げる。ここで、個片に分割されたウエハ間の間隔は約100 $\mu\text{m}$ 程度とする。

【0018】次に、第1の実施例と同様に金型10を用いてLSIチップ個片間の隙間も含めたLSIチップ表面全体を樹脂にて封止する。

【0019】次に、図3(f)に示すようにバンパ電極2上にハンダボール4を搭載する。

【0020】ハンダボール4搭載後、図3(g)に示すように、ダイヤモンドブレード14を用いて樹脂の充填されたLSIチップ間を再度分割する。それにより、図3(h)に示すようにLSIチップ1側面も樹脂で覆われたチップサイズパッケージを得ることができる。

【0021】この第2の実施形態で示される製造方法によれば、ウエハを最初に分割する際のダイヤモンドブレードの幅を薄くできるのでダイヤモンドブレードで削る部分が少なくなり、ウエハ面内のチップ取り数が増加する。また、2回の分割工程において同一のダイヤモンドブレードを用いることができるため、製造装置を簡略化することができる。

【0022】また、上述の製造方法において、図4に示すように、半導体ウエハ5の図示しない電極パッド上にワイヤボンディング方式でスタッドバンパ電極2'を形成してもよい。この場合、ウエハの品種に応じてホトリソマスクを作成する必要がなく、部材コストを削減できる。また、一般に、ホトリソ・メッキ方式でバンパを形成する場合には多額な設備投資が必要となるが、スタッドバンパ方式の場合はワイヤボンダーがあればことが足りてしまうので、従来工程で用いている設備を用いることができ、設備コストも低減できる。

【0023】また、図5に示すように、半導体ウエハ5上のバンパ電極2あるいはスタッドバンパ電極2'の表面の高さをツール16を用いて揃えてもよい。この場合、半導体ウエハ5をステージ15の上に載せ、ツール10を温度100℃、荷重約50gfバンパ、程度の条件として、バンパ電極を押さえる。このように、ツール16を用いてバンパ電極の表面高さを揃える場合、処理するウエハの厚さにばらつきがあったとしても、バンパ電極を適切な高さに揃えることができる。

【0024】また、個片に分割されたLSIチップの裏面にも樹脂を形成してもよい。樹脂は、たとえば、LSIチップを再度分割後、裏面に樹脂を塗布する。あるいは回路素子の形成されたウエハ5上にバンパ電極2を形成した後、ウエハ裏面にスピコート法で樹脂を塗布することにより形成する。この場合、チップ裏面の欠けも防ぐことができ、さらに信頼性の高いチップサイズパッケージを提供することが可能となる。

【0025】次に、図6(a)～(f)を用いて本発明の製造方法の第3の実施形態を説明する。図2および図3と対応する箇所には同一の符号を付し、その詳細な説明を省略する。

【0026】図6(a)に示すように、回路素子の形成されたウエハ5上の図示しないアルミ電極上にバンパ電極2を金めっき等で形成する。バンパ電極2の大きさは1辺が約50～100μm、高さ約15μmとする。

【0027】次に、図6(b)に示すように、このバン

パ電極が形成されたウエハ7を金型に入れる。上下の金型で挟んだ際に上金型を1バンパ当たり50gf程度の圧力で押さえ、金型温度は約180℃でプレスすることにより、金バンパ2の表面高さを揃える。ここで、上金型17の表面にはウエハを個片チップに分割する際の対応する位置に突起部18が設けられている。その後ゲート11より、樹脂を注入する。

【0028】このようにして注入された樹脂は、図6(c)に示すように、封止樹脂12の上金型17の突起部18に対応する位置に凹部19が形成されている。

【0029】次に、図6(d)に示すように、バンパ電極2の上面にハンダボール4を搭載する。

【0030】次に、図6(e)に示すように、樹脂12表面に形成されている凹部19を目印としてダイヤモンドブレード14によりウエハ5を個々のチップに分割し、図6(f)に示すようなチップサイズパッケージが得られる。

【0031】この第3の実施形態によれば、一般的には不透明である樹脂12の分割する位置に凹部を設けているため、個々のチップに切断する際に目印となり、作業効率が向上する。さらに、凹部に沿って切断するため、切断する樹脂部の厚さが薄くなり、ダイヤモンドブレード14の消耗量も低減できる。

【0032】また、上述の図6(b)の工程で、バンパ電極2の表面から所定間隔の逃げ部を有し、ウエハ5表面近傍まで達する凸部を有する金型を用いて樹脂を注入してもよい。その場合、ウエハ5上に形成された封止樹脂からはバンパ電極が露出していないので、研磨等により露出させる。このようにすると、金型のクリアランスを余裕を持って設計することが可能となり、金型製造コストを低減することができるとともに、処理する個々のウエハの厚さおよびバンパ電極の高さに多少のばらつきがあってもそれを吸収することができる。

【0033】また、上述の各実施例においては、バンパ電極の材質として金を用いているが、ハンダを用いてもよい。ハンダを用いた場合は、その後形成するハンダボールとの相性が良くなり、密着強度が向上する。また、ハンダは安価であるので材料コストを低減できる。

【0034】

【発明の効果】本発明に係る半導体装置およびその製造方法によれば、LSIチップの側面あるいは裏面に樹脂が形成されているので、チップの欠けを防止することができ、信頼性の高いチップサイズパッケージを容易に製造することができる。

【0035】また、ウエハ表面に形成された樹脂に、LSIチップを個片に分割する際の切断部分を示す凹部を設けたので、個片に分割する際に目印となり、正確に分割することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すチップの断面図

である。

【図2】本発明の製造方法の第1の実施形態の製造工程図である。

【図3】本発明の製造方法の第2の実施形態の製造工程図である。

【図4】本発明の製造方法の第2の実施形態の変形例を示す図である。

【図5】本発明の製造方法の第2の実施形態の他の変形例を示す図である。

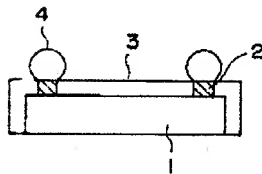
【図6】本発明の製造方法の第3の実施形態を示す図である。

【符号の説明】

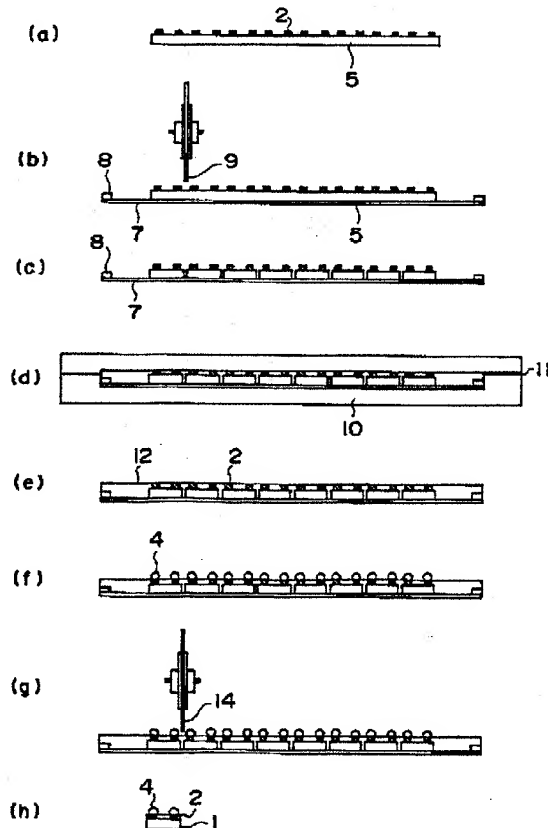
1 LSIチップ  
2 バンプ電極  
2' スタッドバンプ電極

3 エポキシ樹脂  
4 ハンダボール  
5 ウエハ  
7 スクライブシート  
8 スクライブリング  
9 ダイヤモンドブレード  
10 金型  
11 ゲート  
12 樹脂  
14 ダイヤモンドブレード  
15 ステージ  
16 ツール  
17 上金型  
18 突起部  
19 凹部

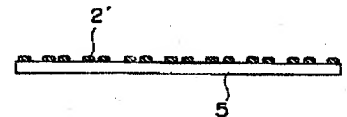
【図1】



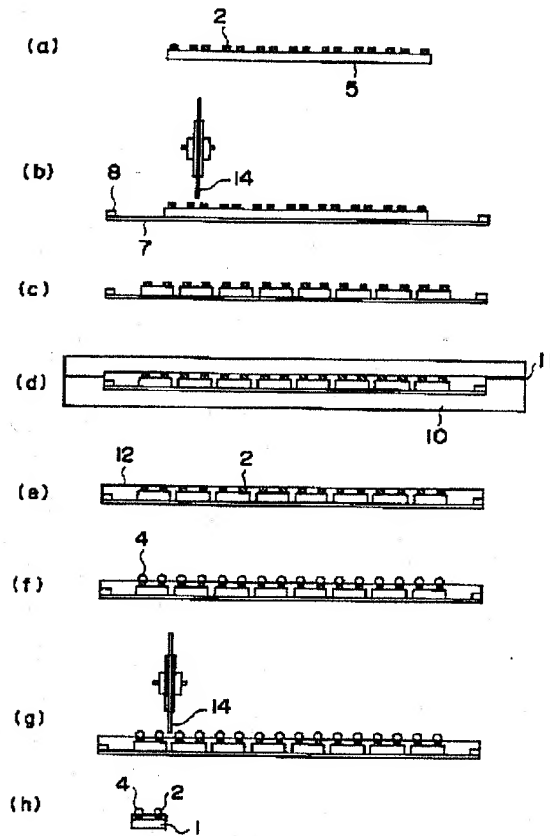
【図2】



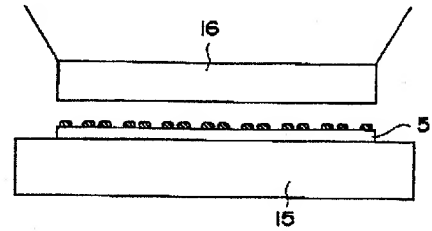
【図4】



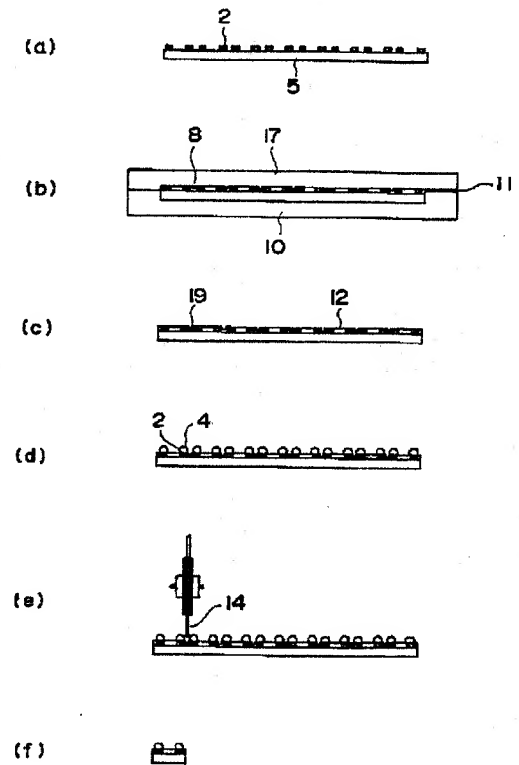
【図3】



【図5】



【図6】





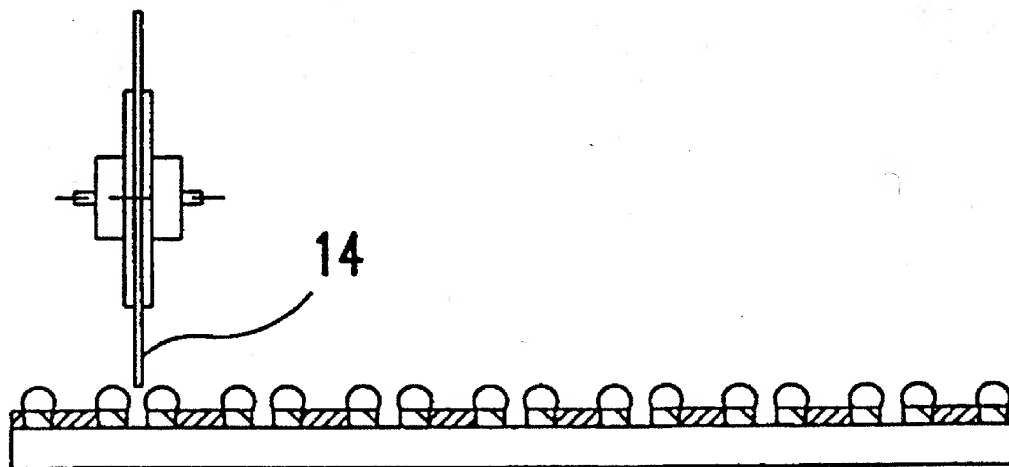
US005989982A

**United States Patent** [19]  
**Yoshikazu****[11] Patent Number: 5,989,982**  
**[45] Date of Patent: Nov. 23, 1999****[54] SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME****[75] Inventor: Takahashi Yoshikazu, Tokyo, Japan****[73] Assignee: Oki Electric Industry Co., Ltd., Tokyo, Japan****[21] Appl. No.: 08/967,022****[22] Filed: Nov. 10, 1997****[30] Foreign Application Priority Data**

Oct. 8, 1997 [JP] Japan ..... 9-275964

**[51] Int. Cl.<sup>6</sup> ..... H01L 21/301****[52] U.S. Cl. .... 438/462; 438/113; 438/460; 438/464****[58] Field of Search ..... 438/113, 114, 438/458, 459, 460, 462, 464, 465****[56] References Cited****U.S. PATENT DOCUMENTS**5,547,906 8/1996 Badehi ..... 438/465  
5,604,160 2/1997 Warfield ..... 438/1135,776,798 7/1998 Quan et al. .... 438/460  
5,879,964 3/1999 Pair et al. .... 438/113  
5,897,337 4/1999 Kata et al. .... 438/460**FOREIGN PATENT DOCUMENTS**8-306853 11/1996 Japan .  
9-64049 3/1997 Japan .*Primary Examiner*—Kevin M. Picardat  
*Attorney, Agent, or Firm*—Jones Volentine, LLP**[57] ABSTRACT**

Disclosed herein is a method of manufacturing a semiconductor device, according to the present invention, wherein a wafer is divided into individual fractions by a diamond blade, the entire surface of the wafer, which include gaps between the respective fractions, is thereafter sealed with a resin, and the wafer is divided into individual fractions again by a diamond blade narrower than another diamond blade in width, whereby a chip size package in which the resin is being left on one sides of a chip, can be obtained. According to the method referred to above, a chip size package in which chip sides are also sealed with the resin, can be easily manufactured.

**11 Claims, 5 Drawing Sheets**



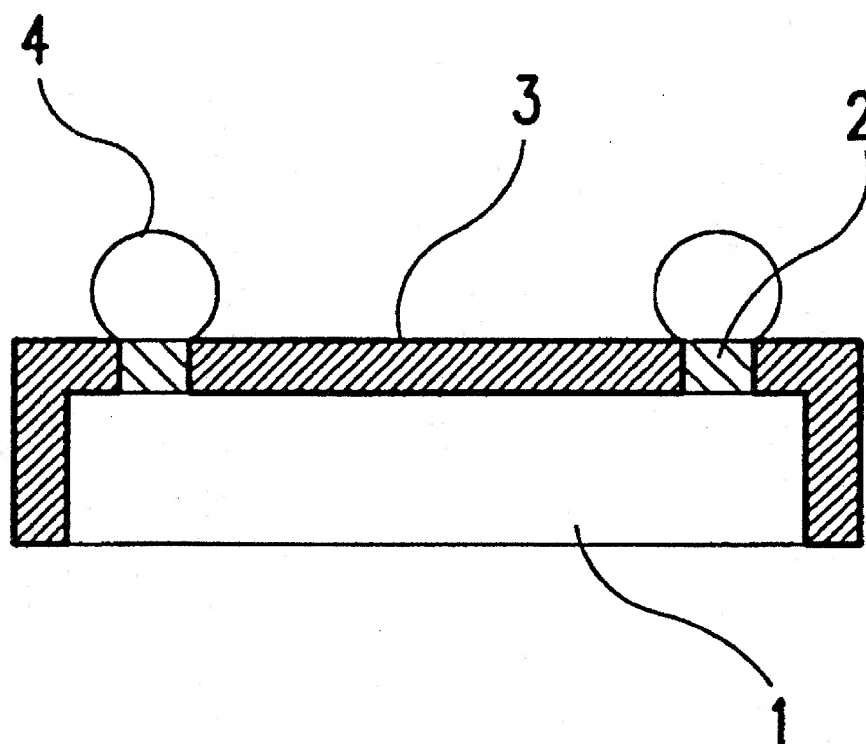


FIG. 1

FIG. 2A

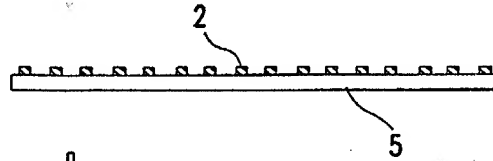


FIG. 2B

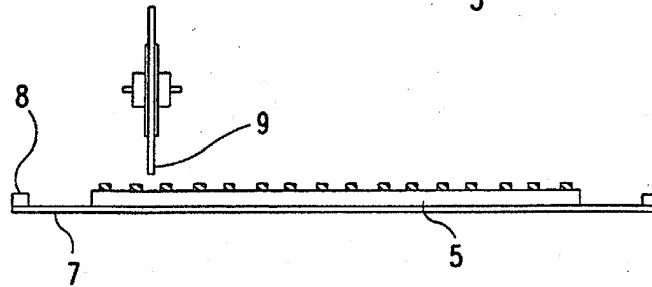


FIG. 2C

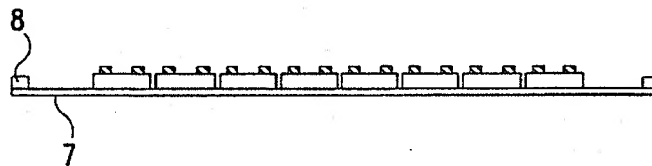


FIG. 2D

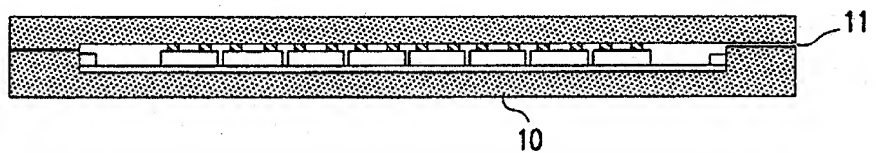


FIG. 2E



FIG. 2F

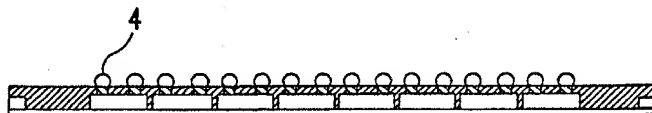


FIG. 2G

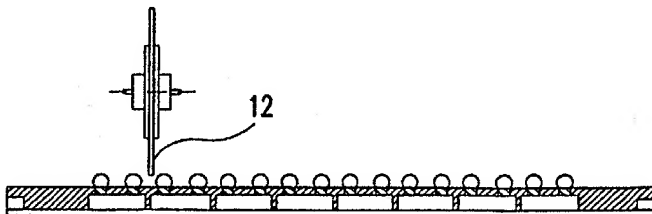
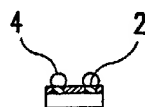
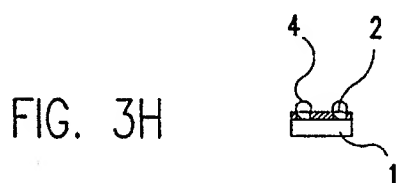
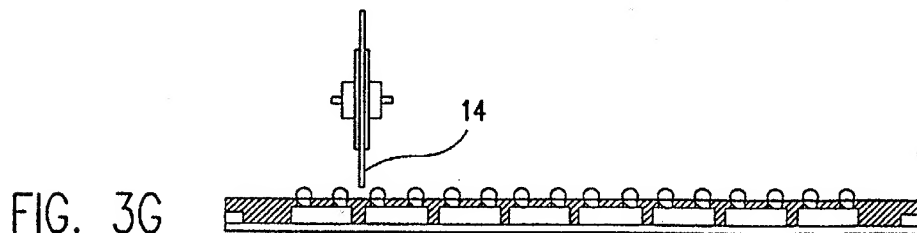
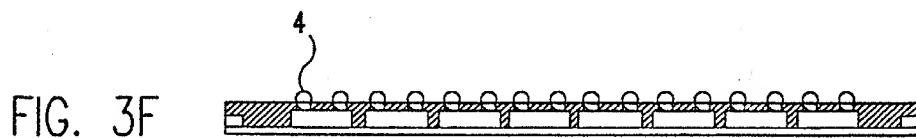
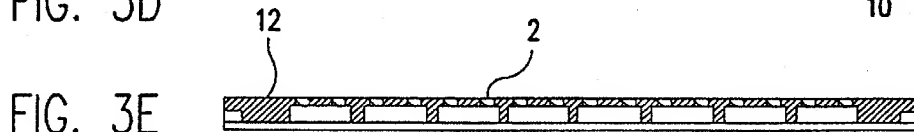
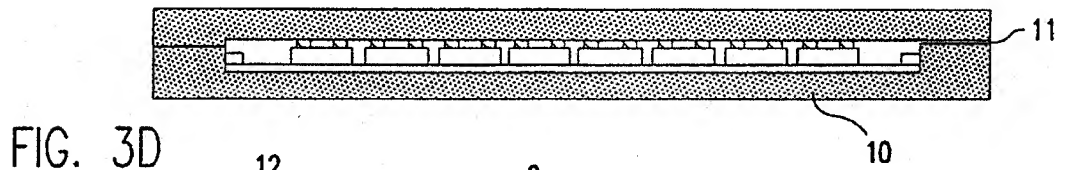
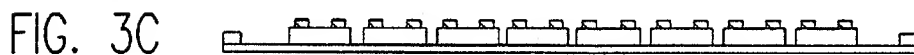
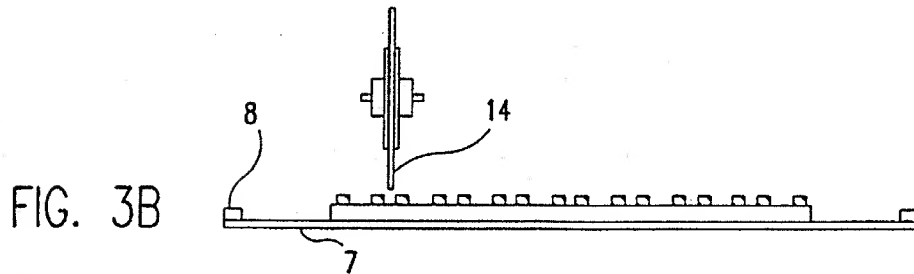
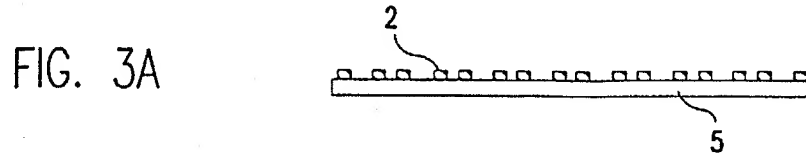


FIG. 2H





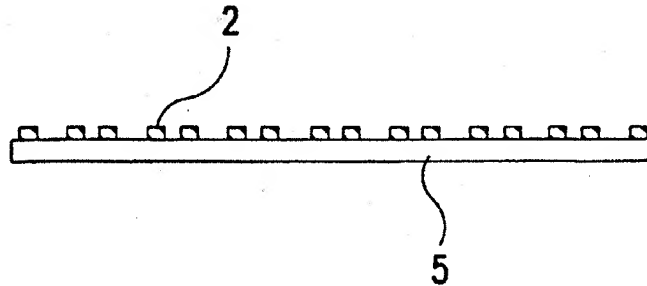


FIG. 4

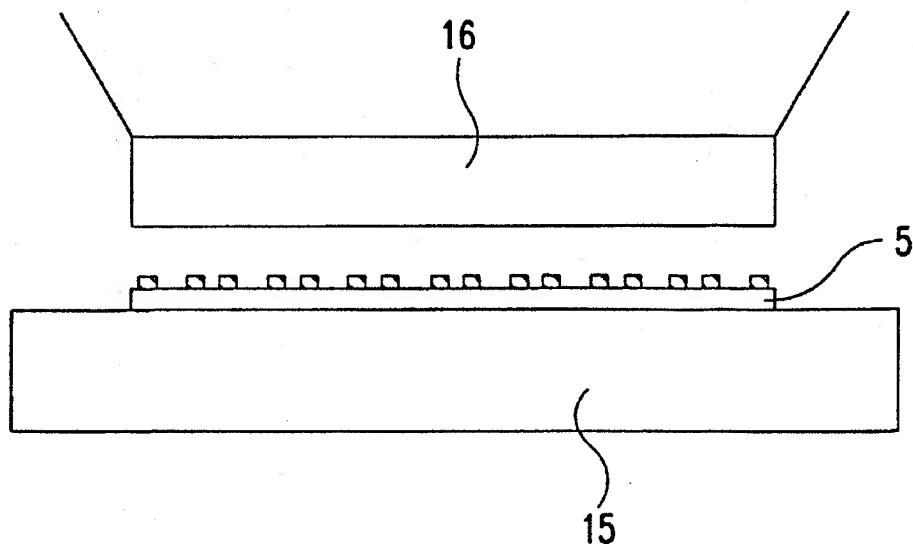


FIG. 5

FIG. 6A

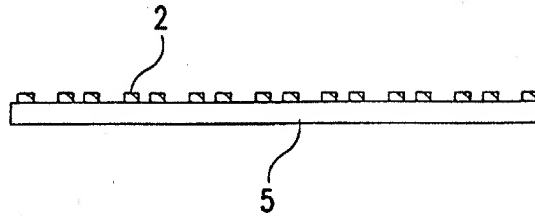


FIG. 6B

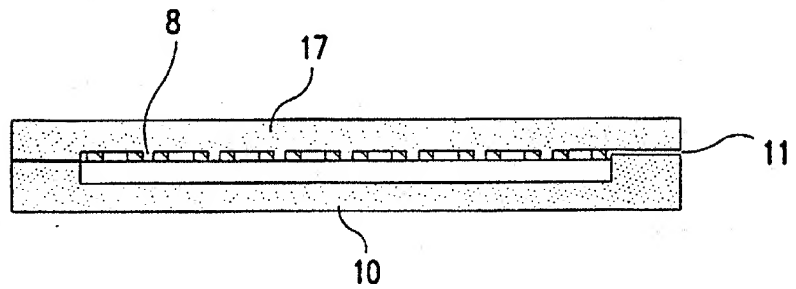


FIG. 6C

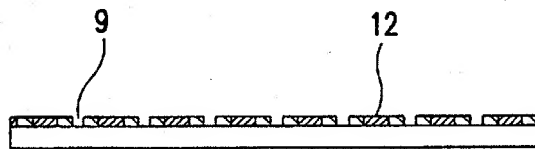


FIG. 6D

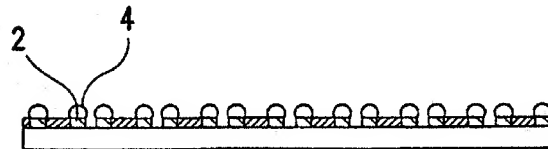


FIG. 6E

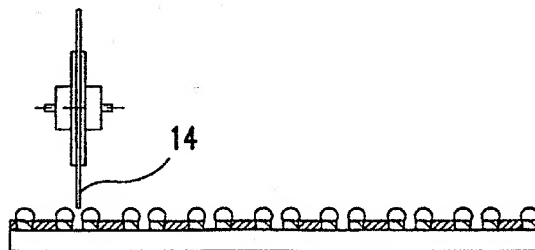


FIG. 6F



# SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

## BACKGROUND OF THE INVENTION

### 1. Field of the Invention

This invention relates to a resin-sealed semiconductor element, and particularly to a chip size package substantially identical in size to an LSI chip.

### 2. Description of the Related Art

As a technique employed in this field, there has heretofore been one wherein leads are formed on a semiconductor element, bumps are formed on portions of the leads respectively and the semiconductor element is resin sealed or molded in a state in which the back or reverse side thereof is being exposed. This type of technique has been disclosed in Japanese Patent Application Laid-Open No. 8-306853.

## SUMMARY OF THE INVENTION

An object of the present invention is to provide a method of manufacturing a chip size package capable of being accurately divided into individual chips when it is divided into the chips.

Another object of the present invention is to provide a method capable of easily manufacturing a chip size package in which the surface and sides of a chip are covered with a resin.

According to one aspect of the present invention, for achieving the above objects, there is provided a semiconductor device comprising:

- a semiconductor element having electrodes protruding from the surface thereof;
- a sealing resin for covering the surface of the semiconductor element and sides thereof; and
- ball electrodes connected to the electrodes exposed from the sealing resin.

According to another aspect of the present invention, there is provided a method of manufacturing a semiconductor device, comprising the following steps:

- a step for forming protruded electrodes in a plurality of element regions of a wafer having the plurality of element regions formed on the surface thereof;
- a step for forming a sealing resin having concave portions provided on the wafer surface, the concave portions defining boundaries among the plurality of element regions, in a state in which surfaces of the protruded electrodes are being exposed;
- a step for forming ball electrodes on the protruded electrodes exposed from the sealing resin respectively; and
- a step for dividing the plurality of element regions into individual elements with the concave portions as standards.

Typical ones of various inventions of the present application have been shown in brief. However, the various inventions of the present application and specific configurations of these inventions will be understood from the following description.

## BRIEF DESCRIPTION OF THE DRAWINGS

While the specification concludes with claims particularly pointing out and distinctly claiming the subject matter which is regarded as the invention, it is believed that the invention, the objects and features and advantages thereof will be better understood from the following description taken in connection with the accompanying drawings in which:

FIG. 1 is a cross-sectional view of a chip showing a first embodiment of the present invention;

FIGS. 2(a)-(2h) are a manufacturing process chart of a first embodiment showing a manufacturing method of the present invention;

FIGS. 3(a)-(3h) are a manufacturing process chart of a second embodiment illustrating a manufacturing method of the present invention;

FIG. 4 is a view showing a modification of the second embodiment illustrating the manufacturing method of the present invention;

FIG. 5 is a view illustrating another modification of the second embodiment depicting the manufacturing method of the present invention; and

FIGS. 6(a)-6(h) are a view showing a third embodiment showing a manufacturing method of the present invention.

## DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Preferred embodiments of the present invention will hereinafter be described with reference to the accompanying drawings. FIG. 1 is a cross-sectional view for describing a first embodiment of the present invention. Reference numeral 1 indicates an LSI chip. Reference numerals 2 indicate bump electrodes each formed of a gold plate or the like whose one side ranges from about 50  $\mu\text{m}$  to 100  $\mu\text{m}$  and whose height is about 15  $\mu\text{m}$ . Reference numeral 3 indicates an epoxy resin which is used for the protection of the surface of the LSI chip 1 and covers the surface and sides of the LSI chip 1. Further, the surface of the epoxy resin 3 is the same height as the surface of each bump electrode 2. Reference numerals 4 indicate solder balls used for providing electrical connections to an external substrate and each shaped in the form of a sphere whose diameter ranges from about 300  $\mu\text{m}$  to 500  $\mu\text{m}$ .

The first embodiment showing a method of manufacturing such a semiconductor device or element will now be described with reference to FIGS. 2(a) through 2(h).

First, bump electrodes 2 are formed on an unillustrated aluminum electrode on a wafer 5 having circuit elements formed thereon, by gold plating or the like as shown in FIG. 2(a). With respect to the dimensions of each bump electrode 2, one side thereof is defined so as to range from about 50  $\mu\text{m}$  to 100  $\mu\text{m}$  and the height thereof is defined as about 15  $\mu\text{m}$ .

As shown in FIG. 2(b), the reverse side or back of the wafer 5 is applied on a scribe ring 8 through the use of a scribe sheet 7 and the wafer 5 is divided into pieces or fractions with a diamond blade 9 or the like as shown in FIG. 2(c). The width of the diamond blade 9 makes use of about 60  $\mu\text{m}$ .

Next, as shown in FIG. 2(d), the wafer 5, which has already been divided into the fractions supported by the scribe sheet 7, is inserted into a molding die 10 together with the scribe ring 8 and the scribe sheet 7. When the wafer 5 is interposed between upper and lower dies, the upper die is held down under a pressure of about 50 gf per bump and pressed under a molding temperature of about 180° C., whereby the heights of the surfaces of the bump electrodes 2 are aligned or made uniform. Thereafter, a resin 12 is injected through a gate 11. FIG. 2(e) shows the state of removal of the molding die 10 after the injection of the resin 12 through the gate 11 in FIG. 2(d). As shown in the same drawing, the resin 12 is formed in a state in which the upper surfaces of the bump electrodes 2 are being exposed.

3

Thereafter, the solder balls 4 are mounted or placed on the surfaces of the bump electrodes 2 respectively as shown in FIG. 2(f). A method of placing the bump balls 4 thereon is as follows: Flux is applied on the bump electrodes 2 and the solder balls 4 are placed thereon and thereafter heated to 200° C. to 250° C. so as to join the solder balls 4 to the bump electrodes 2, whereby the solder balls 4 can be mounted on the surfaces of the bump electrodes 2. After the placement of the solder balls 4 on the bump electrodes 2, the wafer 5 having the divided gaps filled with the resin is divided into individual chips again by a diamond blade 14 or the like as shown in FIG. 2(g). As a result, each chip size package in which the sides of the LSI chip 1 have been also covered with the resin, can be obtained as shown in FIG. 2(h). Here, the width of the diamond blade 14 is about 40  $\mu$ m. Since one smaller in width than the diamond blade 9 is used, the wafer 5 can be easily divided into the individual chips in a state in which the resin has been left on the sides of the LSI chip 1.

If the width of the diamond blade 9 is set to about twice the width of the diamond blade 14 shown in FIG. 2(g) in FIG. 2(b), it is then possible to sufficiently ensure the thickness of the resin on each side of the LSI chip 1 shown in FIG. 2(h) and obtain high resistance to the peeling of the resin applied to the sides.

A second embodiment showing a manufacturing method according to the invention of the present application will next be described with reference to FIGS. 3(a) through 3(h). Components corresponding to those shown in FIG. 2 are identified by the same reference numerals and their detailed description will be omitted.

In the second embodiment, bump electrodes 2 are first formed on an unillustrated aluminum electrode on a wafer 5 with circuit elements formed thereon, with gold plating or the like.

Next, the wafer 5 is divided into pieces or fractions through the use of a diamond blade 14 as shown in FIG. 3(b). As the diamond blade 14 used in the present embodiment, one slender in width, which is shown in FIG. 2(g) in the first embodiment, is used.

Next, a scribe sheet 7 is elongated so as to open up or extend the space or interval between the adjacent wafers divided into the fractions, as shown in FIG. 3(c). Here, the interval between the wafers is regarded as about 100  $\mu$ m.

Next, the entire surfaces of LSI chips, which include gaps or spaces between the respective LSI chips, are sealed with resin by using a die 10 in a manner similar to the first embodiment.

Next, solder balls 4 are placed on their corresponding bump electrodes 2 as shown in FIG. 3(f).

After the placement of the solder balls 4 on the bump electrodes 2, the diamond blade 14 is used to divide between the adjacent LSI chips whose gaps have been filled with the resin, again as shown in FIG. 3(g). Thus, a chip size package in which the sides of the LSI chip 1 have been also covered with the resin as shown in FIG. 3(h), can be obtained.

According to the manufacturing method illustrated in the second embodiment, since the width of the diamond blade can be made thin upon first division of the wafer, portions to be cut by the diamond blade are reduced and the number of chips to be taken out within the wafer increases. Further, since the same diamond blade can be used in two dividing processes, a manufacturing device can be simplified.

In the aforementioned manufacturing method, stud bump electrodes 2' may be formed on their corresponding unillustrated electrode pads of a semiconductor wafer 5 in accor-

4

dance with a wire bonding method as shown in FIG. 4. In this case, the need for creating a photolitho mask according to the type of wafer is eliminated and member costs can be reduced. In general, a large amount of facility investments are needed when bumps are formed by a photolitho plating method. However, since a wire bonder will suffice for a stud bump method, the equipment employed in the conventional process can be used and facility costs can be also reduced.

As shown in FIG. 5, the heights of the surfaces of bump electrodes 2 or stud bump electrodes 2' on a semiconductor wafer 5 may be aligned or made uniform by a tool 16. In this case, the semiconductor wafer 5 is placed on a stage 15 and the tool 16 is pressed against the bump electrodes under the condition that the temperature is about 100° C. and the load is about 50 gf bump. Thus, when the surface heights of the bump electrodes are made uniform by the tool 16, the bump electrodes can be suitably made uniform in height even if the wafer to be processed varies in thickness.

Further, the resin may be formed on the reverse sides of the LSI chips divided into fraction form. The resin is applied on the reverse sides after the LSI chip has been divided into fraction form again. Alternatively, each chip is formed by applying the resin on the back of the wafer in accordance with a spin coat method after the bump electrodes 2 have been formed on the wafer 5 with circuit elements formed thereon. In this case, a chip size package capable of preventing flaws from being produced on the back of each chip and providing high reliability can be provided.

A third embodiment showing a manufacturing method according to the present invention will next be described with reference to FIGS. 6(a) through 6(f). Components associated with those shown in FIGS. 2 and 3 are identified by like reference numerals and their detailed description will be omitted.

As shown in FIG. 6(a), bump electrodes 2 are formed on an unillustrated aluminum electrode on a wafer 5 having circuit elements formed thereon, by gold plating or the like. With respect to the dimensions of each bump electrode 2, one side thereof is defined so as to range from about 50  $\mu$ m to 100  $\mu$ m and the height thereof is defined as about 15  $\mu$ m.

Next, the wafer 5 having the bump electrodes formed thereon is inserted into a die as shown in FIG. 6(b). When the wafer 5 is interposed between upper and lower dies, the upper die is held down under a pressure of about 50 gf per bump and pressed under a molding temperature of about 180° C., whereby the surfaces of the bump electrodes 2 are made uniform in height. Protrusions 18 are provided on the surface of the upper die 17 at their corresponding positions when the wafer 5 is divided into fractional chips. Thereafter, the resin is injected between the upper and lower dies through a gate 11.

As shown in FIG. 6(c), concave portions 19 are respectively defined in positions where the so-injected resin 12 is divided into fraction form and corresponding to the protrusions 18 of the upper die 17.

Next, solder balls 4 are placed on their corresponding upper surfaces of the bump electrodes 2 as shown in FIG. 6(d).

Next, as shown in FIG. 6(e), the wafer 5 is divided into individual chips by a diamond blade 14 with the concave portions 19 defined in the surface of the resin 12 as marks. As a result, a chip size package shown in FIG. 6(f) is obtained.

According to the third embodiment, since the concave portions are normally provided at the divided positions of opaque resin 12, they serve as marks upon cutting the wafer

into the individual chips, whereby the efficiency of work is improved. Further, since the resin is cut along the concave portions, the thickness of the resin to be cut becomes thin and the amount of wastage of the diamond blade 14 can be also reduced.

In the process step shown in FIG. 6(b) referred to above, the resin may be injected into a die having escape portions spaced by predetermined intervals from the surfaces of the bump electrodes 2 and convex portions extending to the neighborhood of the surface of the wafer 5. Since, in this case, no bump electrodes are exposed from the sealed resin formed on the wafer 5, they are made bare by polishing or the like. In doing so, die or mold clearances can be designed with margins and the manufacturing cost of a mold can be reduced. Further, even if the thickness of each wafer to be processed and the height of each bump electrode varies more or less, they can be accommodated.

Although gold is used as the material for the bump electrodes in the individual embodiments referred to above, solder may be used as an alternative. When the solder is used, it is compatible with solder balls formed subsequent to its use, so that the strength of adhesion to the solder balls is improved. Since the solder is low in cost, material costs can be reduced.

While the present invention has been described with reference to the illustrative embodiments, this description is not intended to be construed in a limiting sense. Various modifications of the illustrative embodiments, as well as other embodiments of the invention, will be apparent to those skilled in the art on reference to this description. It is therefore contemplated that the appended claims will cover any such modifications or embodiments as fall within the true scope of the invention.

What is claimed is:

1. A method of manufacturing a semiconductor device, comprising the steps of:

forming protruded electrodes in a plurality of element regions of a wafer having said plurality of element regions formed on the surface thereof;

forming a sealing resin having concave portions provided on said wafer surface, said concave portions defining boundaries among said plurality of element regions, in a state in which surfaces of said protruded electrodes are being exposed;

forming ball electrodes on the protruded electrodes exposed from said sealing resin respectively; and dividing said plurality of element regions into individual elements with said concave portions as standards.

2. A method according to claim 1, wherein the surfaces of said protruded electrodes are rendered uniform in height after the formation of said protruded electrodes.

3. A method according to claim 1, wherein said sealing resin forming step is executed using a mold having convex portions corresponding to said concave portions.

4. A method according to claim 3, wherein the heights of the surfaces of said protruded electrodes are made uniform by said mold before said elements are resin-sealed by the mold.

5. A method according to claim 1, wherein said each protruded electrode is formed by plating.

6. A method according to claim 1, wherein said concave portions are grooves defined along said plurality of element regions to be divided into said plurality of elements.

7. A method of manufacturing a semiconductor device, comprising the steps of:

forming protruded electrodes in a plurality of element regions of a wafer having said plurality of element regions formed on the surface thereof;

forming a sealing resin having concave portions provided on the surface of said wafer, said surface including surfaces of said protruded electrodes, said concave portions extending to the neighborhood of the surface of said wafer and defining boundaries among said plurality of element regions;

polishing the sealing resin until the surfaces of said protruded electrodes are exposed;

forming ball electrodes on the protruded electrodes exposed from said sealing resin respectively; and

dividing said plurality of element regions into individual elements with said concave portions as standards.

8. A method of manufacturing a semiconductor device, comprising the steps of:

respectively forming protruded electrodes in a plurality of element regions of a wafer having said plurality of element regions provided on a surface thereof;

applying said wafer to a scribe sheet and thereafter dividing said plurality of element regions into individual elements;

forming a sealing resin on said wafer surface including gaps between said adjacent respective divided elements in a state in which said protruded electrodes are being exposed;

forming ball electrodes on the protruded electrodes exposed from the sealing resin; and

dividing said elements into individual fractions in a state in which the resin on each element side, of the sealing resin formed within the gaps between the respective elements is being left behind.

9. A method according to claim 8, wherein said dividing step before forming the sealing resin is executed by a first blade relatively broad in width and said dividing step after forming the sealing resin is executed by a second blade relatively narrow in width.

10. A method according to claim 9, wherein the width of said first blade is substantially twice the width of said second blade.

11. A method of manufacturing a semiconductor device, comprising the steps of:

respectively forming protruded electrodes in a plurality of element regions of a wafer having said plurality of element regions formed on a surface thereof;

applying said wafer to a scribe sheet and thereafter dividing said plurality of element regions into elements;

elongating the scribe sheet to widen intervals between said respective divided elements;

forming a sealing resin on said wafer surface including the intervals between said respective widened elements in a state in which said protruded electrodes are being exposed;

forming ball electrodes on the protruded electrodes exposed from the sealing resin respectively; and

dividing the elements into individual fractions in a state in which the resin on each element side, of the sealing resin formed within the gap between the adjacent elements is being left behind.

\* \* \* \* \*